

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 63-156348
 (43)Date of publication of application : 29.06.1988

(51)Int.CI. H01L 23/52
 H05K 3/46

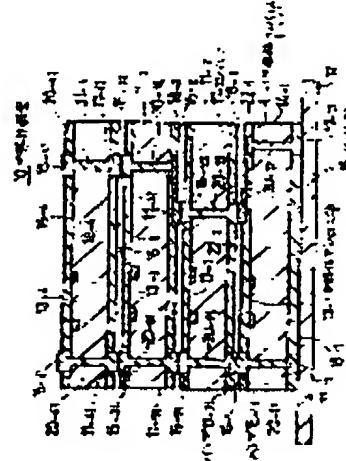
(21)Application number : 61-304581 (71)Applicant : FUJITSU LTD
 (22)Date of filing : 19.12.1986 (72)Inventor : HASEGAWA HITOSHI

(54) SEMICONDUCTOR DEVICE

(57)Abstract:

PURPOSE: To implement high density and high integration, by providing connecting electrodes and internal wirings, which connect the electrodes electrically, on the upper and rear surfaces of semiconductor device chips, coupling said connecting electrodes of the facing semiconductor device chips, and providing a constitution of three-dimensional laminated layers

CONSTITUTION: All surfaces 16-1W16-4 of semiconductor device chips 11-1W11-4 face upward the facing bumps are bonded by a thermocompressing bonding method, electrically connected and mechanically coupled. Semiconductor device parts 13-1W13-4 on the semiconductor device chips 11-1W11-4 are electrically connected to the terminals on a ceramic substrate 12 through the bumps and internal wirings. 4 semiconductor device 10 has a structure, wherein the semiconductor device chips 11-1W11-4 are electrically connected themselves and laminated in three-dimensional four layers. Thus the high density and high integration of the semiconductor device parts can be implemented.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

⑩ 日本国特許庁 (JP)

⑪ 特許出願公開

⑫ 公開特許公報 (A) 昭63-156348

⑬ Int.CI.

H 01 L 23/52
H 05 K 3/46

識別記号

厅内整理番号
8728-5F
Q-7342-5F

⑭ 公開 昭和63年(1988)6月29日

審査請求 未請求 発明の数 1 (全4頁)

⑮ 発明の名称 半導体装置

⑯ 特願 昭61-304581

⑯ 出願 昭61(1986)12月19日

⑰ 発明者 長谷川 齊 神奈川県川崎市中原区上小田中1015番地 富士通株式会社
内

⑱ 出願人 富士通株式会社 神奈川県川崎市中原区上小田中1015番地

⑲ 代理人 齊理士 井桁 月一

明細書

1. 発明の名称

半導体装置

2. 特許請求の範囲

半導体ディバイスチップ (11-1, ~11-1) を、その裏面 (16-1, ~16-1) 及び裏面 (18-1, ~18-1) に接続用端子 (15-1, ~15-4, 17-1, ~17-4) を設け且つその内部に上記端子の接続用電極を電気的に接続する内部配線 (21-1, ~21-4) を設けた構成とし、

該半導体ディバイスチップ (11-1, ~11-1) が相対する上記接続用端子 (15-1, ~15-4, 17-1, ~17-4) 間を組合されて三次元的に構成された構成の半導体装置。

3. 発明の詳細な説明

(構成)

本発明の半導体装置は、半導体ディバイスチップ (11-1) に電気的接続端子を設け、半導体ディバイスチップ (11-1) の裏面 (16-1, ~16-1) を三面以上積層させて、半導

体ディバイスの高密度、高集成化を図ったものである。

(請求項の範囲)

本発明は、半導体装置に係り、特に半導体ディバイスチップ (11-1) の裏面 (16-1, ~16-1) 及び裏面 (18-1, ~18-1) に接続用端子 (15-1, ~15-4, 17-1, ~17-4) を設け且つその内部に上記端子の接続用電極を電気的に接続する内部配線 (21-1, ~21-4) を設けた構成とし、

(従来の技術)

従来のこの種の半導体装置の構造を第5図に示す。図中、1, 1aは又々半導体ディバイスチップである。半導体ディバイスチップ1は、裏面に半導体ディバイス部2を有する基板3と、基板3の裏面の配線部4, 5と、配線部4, 5を被うボリュミド層6と、配線部4, 5の先端のAUバンプ7, 8とよりなる構成である。別の半導体ディバイスチップ1aも上記の半導体ディバイスチップ1と同様な構成であり、対応する部分には添字8を付した同一符号を付す。

半導体ディバイスチップ1, 1aは、又々の異

特開昭63-156348(2)

面9、9と9を突き合わさった状態で、ハロパンフ7と7a及び8と8aとがボンディングされて、電気的且つ機械的に接続されて一体化されており、従来に比べて二重の高集成化が図られている。

(発明が解決しようとする問題)

しかし、上記の構成の半導体装置では、半導体ディバイスチャップの接觸は二箇所が限度であり、三箇所以上の接觸は不可能であり、第5図に示す以上の高集成化を図ることは出来ないという問題点があった。

(問題点を解決するための手段)

本発明の半導体装置は、半導体ディバイスチャップを、その裏面及び裏面に接続用電極を設け且つその内部に上記裏面の接続用電極を電気的に接続する内部配線を設けた構成とし、

該半導体ディバイスチャップが複数枚の上記各回路基板同士を結合されて三次元的に積層された構成としたものである。

17-a、17-aは天々接続用電極としてのAu膜のパンプであり、面9a、18-aに形成している。

半導体基板14-aにはスルーホール19-a、19-aが形成しており、この内部に内部配線20-a、20-aが形成されている。パンプ15-aと17-aとは内部配線20-aにより電気的に接続されている。パンプ15-aと17-aとは内部配線20-a及び表面配線21-aにより接続されている。なお、パンプ15-a、15-a、17-a、17-aは天々接続が可能な位置に配置されている。

22-aは絶縁膜であり、半導体基板14-aの裏面面及びスルーホール19-a、19-aの内面に形成してある。

他の半導体ディバイスチャップ11-a、11-a、11-aは、上記の半導体チャップ11-aと同様な構成であり、天々対応する部分には番号2、3、4、21、22、31、32、41、42を付した同一符号を付しその説明は省略する。

(作用)

半導体ディバイスチャップ自体がその裏面及び裏面の両方の面に電気的接続手段を有するため、接続用の特別の部材を使用しなくとも半導体ディバイスチャップ三箇所以上の接觸が可能となる。

(実施例)

第1図は本発明の第1実施例による半導体装置10を示す。図中、11-a～11-aは天々接続用電極であり、セラミック基板12上に接觸されている。

半導体ディバイスチャップ11-aは、第2図に併せて示すように、半導体ディバイス部13-aが形成された半導体基板14-aよりなる。

15-a、15-aは天々接続用電極としてのAu膜のパンプであり、半導体ディバイス部13-aが形成された面と対面である裏面16-aに形成してある。半導体ディバイス部13-aとパンプ15-a、15-aとの間は接続されている。

半導体ディバイスチャップ11-a～11-aは、第1図に示すように、全て裏面16-a、16-aを上側とした向きで、且つ相対するパンプ部を絶縁基板によりボンディングされて、電気的に接続されて且つ機械的に結合されている。各半導体ディバイスチャップ11-a～11-a上の半導体ディバイス部13-a～13-aは、パンプ及び内部配線を通してセラミック基板12上の電子(図示せず)と電気的に接続されている。

半導体装置10は、半導体ディバイスチャップ11-a～11-aがこれ自体により電気的に接続された状態で三次元的に4箇所に接觸された構造であり、半導体ディバイス部の高密度、高集成化が図られている。

なお、半導体ディバイスチャップ11-a～11-aは、例えばプリント基板等の他の治具を用いずに接続されており、半導体装置10は最小の部品数で構成されている。

また各半導体ディバイスチャップ11-a～11-aは天々予め接続して良品であるとのみを用

特開昭63-156348(3)

いており、半導体装置10の品質は高い。

また、各半導体ディバイスチップ111-1～111-4は共に表面161-1～161-4を上面側とされた内側で接觸されている。このため、各半導体ディバイスチップ111-1～111-4について私觸板での半導体ディバイス部131-1～131-4の状態を直接で確認することができる。好都合である。

また、半導体ディバイスチップの接觸部は4に限らず仕様にとることが出来る。

またパンプ151-1～171-4を下部側としてもよく、この場合にはリフローを用いることが出来、チップ結合部の圧力を緩和できる。

第3図及び第4図は天々本発明の第2、第3実施例による半導体装置30、40を示す。各図中、第1面に示す構成部分と実質上同様の部分には同一符号を付し、その説明は省略する。

第3図の半導体装置30は、上内側の半導体ディバイスチップと下内側の半導体ディバイスチップとが混在した構造である。半導体ディバイスチ

ップ111-1～111-4は、第1面のチップ111-1と第4面のチップ111-4とは上側に、第2面のチップ111-1と第3面のチップ111-4とは下内側で互いに環状的に接觸された状態で接觸されている。

第4図の半導体装置40は、上内側のチップと下内側のチップとが互に並んだ構成である。この半導体装置40は、例えば第1面のチップ111-1と第2面のチップ111-1とを天々の表面同面を充合させて結合された結合体41と、同じく第3面のチップ111-1と第4面のチップ111-4とを充合させた結合体42とを別個に作り各結合体41、42について試験を行ない、良品である結合体41、42を重複端面を充合させて結合させて4面構造としたものである。

(発明の効果)

本発明によれば、接続用の特別の部品を必要とすることなく、しかも表面面の区別なく、どちらの内側でも、半導体ディバイスチップを三次元的

に3面以上接觸させ、半導体ディバイスチップの高耐圧、高電流化を図ることが出来る。

4. 図面の簡単な説明

第1図は本発明の第1実施例による半導体装置の断面正面図。

第2図は第1図中の半導体ディバイスチップの断面図。

第3図は本発明の第2実施例による半導体装置の断面正面図。

第4図は本発明の第3実施例による半導体装置の断面正面図。

第5図は文末の半導体装置の1例の断面図である。

图において、

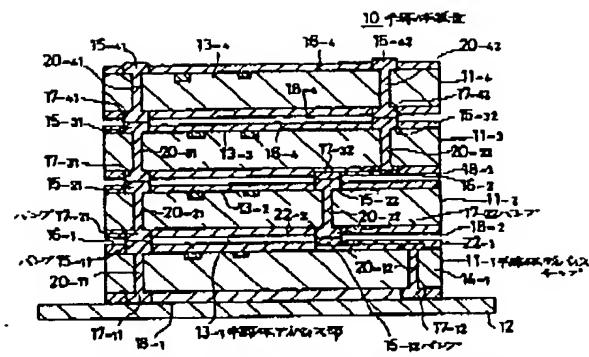
- 10、30、40は半導体装置、
- 111-1～111-4は半導体ディバイスチップ、
- 12はセラミック基板、
- 131-1～131-4は半導体ディバイス部、
- 141-1～141-4は半導体基板、
- 151-1～151-4、171-1～171-4はバ

ンプ、

- 161-1～161-4は基板、
- 181-1～181-4は裏面、
- 191-1～191-4はスルーホール、
- 211-1～211-4は内部配線、
- 271は裏面配線、
- 221-1～221-4は遮蔽層、
- 41、42は結合体である。

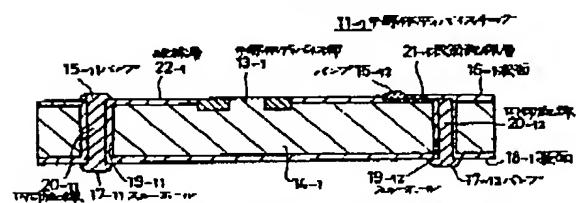
代理人 元理事 井 手 一

35開昭63-156348(4)



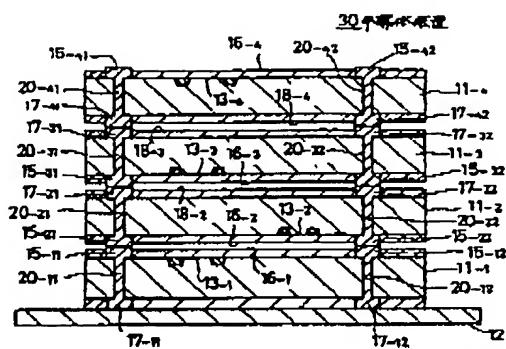
本研究の第2回実験による半導体吸収の修正回路

112



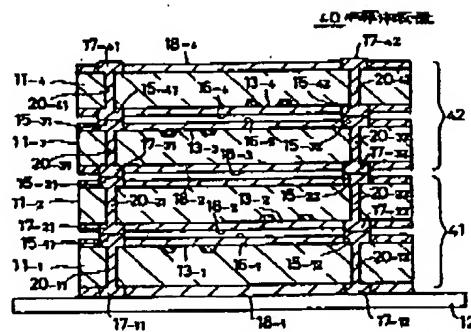
図中一の半導体デバイスチャップの断面図

第 2 部



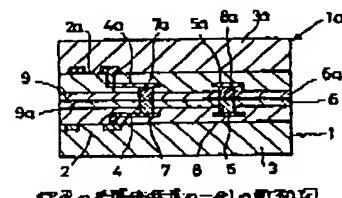
本研究の第2実験では、主に外因量の影響を調査

第三回



水銀病の原因と水銀による子宮内膜炎の発病率と原因

48



藏文大藏经

四二